

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-164087

(43)Date of publication of application : 18.06.1999

(51)Int.Cl.

H04N 1/028

H01L 27/148

H04N 5/335

(21)Application number : 09-327485

(71)Applicant : SONY CORP

(22)Date of filing : 28.11.1997

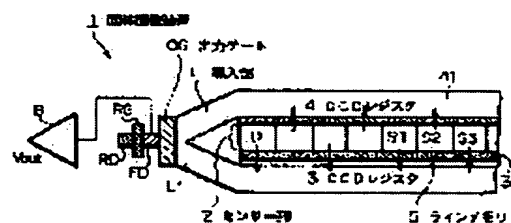
(72)Inventor : HIRAMA MASAHIDE
NAGAE TOSHIMITSU

(54) SOLID-STATE IMAGING DEVICE AND DRIVING METHOD THEREFOR

(57)Abstract:

PROBLEM TO BE SOLVED: To suppress DC level difference in output signals in the case of respectively transferring electric charges through a plurality of charge transfer columns.

SOLUTION: A solid-state image pickup device 1 is provided with at least one sensor column 2; charge transfer means equipped with a plurality of CCD registers 3 and 4 for this sensor column 2 and with an introduction part L for turning these respective CCD registers 3 and 4 toward the same output gate in the transfer direction of electric charges; and a final stage transfer electrode provided in front of an output gate OG on the introduction part L of the charge transfer means for transferring the electric charges respectively transferred by the plural CCD registers 3 and 4 to the output gate OG while applying respective in-phase driving voltages. This device further provides a driving method for transferring the electric charges for each column of respective CCD registers 3 and 4 as well.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-164087

(43) 公開日 平成11年(1999) 6月18日

(51) Int.Cl.⁶

識別記号

F I

H 0 4 N 1/028

H 0 4 N 1/028

A

H 0 1 L 27/148

5/335

F

H 0 4 N 5/335

H 0 1 L 27/14

B

審査請求 未請求 請求項の数 5 O L (全 9 頁)

(21) 出願番号

特願平9-327485

(22) 出願日

平成9年(1997)11月28日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 平間 正秀

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

(72) 発明者 永江 利充

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

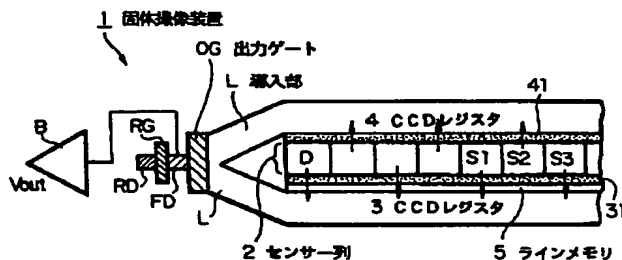
(74) 代理人 弁理士 船橋 國則

(54) 【発明の名称】 固体撮像装置およびその駆動方法

(57) 【要約】

【課題】 複数の電荷転送列で各々電荷を転送する際の出力信号のDCレベル差を抑制すること。

【解決手段】 本発明の固体撮像装置1は、少なくとも1本のセンサー列2と、このセンサー列2に対して複数のCCDレジスタ3、4を備えているとともにその各CCDレジスタ3、4が電荷の転送方向に向けて同一の出力ゲートへ向かう導入部Lを備えている電荷転送手段と、電荷転送手段の導入部L上における出力ゲートOGの手前に設けられ、複数のCCDレジスタ3、4で各々転送してきた電荷に各々同相となる駆動電圧を与えて出力ゲートOGへ転送する最終段転送電極とを備えている。また、各CCDレジスタ3、4の列単位で電荷を転送する駆動方法でもある。



【特許請求の範囲】

【請求項1】 少なくとも1本の画素列から成る電荷取り込み手段と、

前記電荷取り込み手段に対して複数の電荷転送列を備えているとともにその各電荷転送列が電荷の転送方向において同一の出力ゲートへ向かう導入部を備えている電荷転送手段と、

前記電荷転送手段の導入部上における前記出力ゲートの手前に設けられ、前記電荷転送手段における複数の電荷転送列で各々転送してきた電荷に各々同相となる駆動電圧を与えて前記出力ゲートへ転送する最終段転送電極とを備えていることを特徴とする固体撮像装置。

【請求項2】 前記電荷取り込み手段と前記電荷転送手段における電荷転送列との間に前記電荷取り込み手段から読み出した電荷を一時蓄積するラインメモリが設けられていることを特徴とする請求項1記載の固体撮像装置。

【請求項3】 少なくとも1本の画素列から成る電荷取り込み手段で電荷を取り込む工程と、
前記電荷取り込み手段で取り込んだ電荷を複数の電荷転送列へ読み出し、電荷転送列単位でその電荷を転送して同一の出力ゲートを介して出力する工程とを備えていることを特徴とする固体撮像装置の駆動方法。

【請求項4】 前記電荷を複数の電荷転送列へ読み出すにあたり、所定の電荷転送列に対しては一旦ラインメモリに蓄積してから読み出しを行うことを特徴とする請求項3記載の固体撮像装置の駆動方法。

【請求項5】 前記電荷取り込み手段で取り込んだ電荷を複数の電荷転送列へ読み出すにあたり、電荷転送列単位で読み出しタイミングをずらすことを特徴とする請求項3記載の固体撮像装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、画素列に対して複数の電荷転送列を備えるとともに各電荷転送列で転送した電荷を同一の出力ゲートを介して出力する固体撮像装置およびその駆動方法に関する。

【0002】

【従来の技術】従来、複写機やファクシミリ、スキャナ等で適用される画像読み取り装置においては、原稿面とCCDラインセンサーの読み取り位置とを相対的に移動して原稿面全体の画像を読み取るようにしている。

【0003】例えば、複写機においては、プラテンガラス上に載置した原稿に対して読み取り光学系を移動することで、CCDラインセンサーによる読み取り位置を走査して原稿面の画像取り込みを行っている。

【0004】このようなCCDラインセンサーには、複数の画素が一行に並ぶセンサー列の両側に2本のCCDレジスタが配置され、センサー列の偶数画素における電荷と奇数画素における電荷とを各々のCCDレジスタに

よって転送する両側読み出し式のものが考えられている。

【0005】図11は従来の固体撮像装置の構成を説明する模式図である。すなわち、この固体撮像装置1'は、複数の画素が一行に並ぶセンサー列2と、その両側に配置された2本のCCDレジスタ3、4と、CCDレジスタ3、4における電荷転送方向最終段に接続された出力ゲートOGと、電荷を電圧に変換するフローティングディフュージョン部FDと、リセットゲートRGと、リセットドレインRDと、出力バッファBとを備えた構成となっている。

【0006】2本のCCDレジスタ3、4には、各々逆相の電圧 $\phi 1$ 、 $\phi 2$ が印加され、センサー列2からの電荷の読み出しと、転送とを行っている。また、各々逆相の電圧 $\phi 1$ 、 $\phi 2$ が印加されることで、CCDレジスタ3にはセンサー列2の奇数画素で得た電荷が読み出され、CCDレジスタ4にはセンサー列2の偶数画素で得た電荷が読み出されるようになっている。

【0007】各々のCCDレジスタ3、4で順次転送された偶数画素および奇数画素の電荷は最終段に隣接して設けられた出力ゲートへ転送される。図12は最終段の構成を説明する模式図である。このように最終段においても逆相の電圧 $\phi 1$ 、 $\phi 2$ が印加され、CCDレジスタ3で転送されてきた奇数画素の電荷およびCCDレジスタ4で転送されてきた偶数画素の電荷を交互に出力ゲートOGへ送るようになっている。

【0008】図13は $\phi 1$ 、 $\phi 2$ に対応したCCD出力波形図である。すなわち、各々逆相の $\phi 1$ 、 $\phi 2$ によって転送されてきた電荷のうち、 $\phi 1$ の立ち上がりで奇数画素の電荷に対応した出力信号が得られ、 $\phi 2$ の立ち上がりで偶数画素の電荷に対応した出力信号が得られるようになる。

【0009】このように、1本のセンサー列に対して2本のCCDレジスタで電荷転送を行うことによって、1本のCCDレジスタで全て転送する場合に比べて転送レートを半分にすることが可能となり、転送効率を高めることができるようになる。

【0010】

【発明が解決しようとする課題】しかしながら、奇数画素と偶数画素とを交互に出力ゲートへ転送する場合、転送のための電圧 $\phi 1$ と $\phi 2$ とで出力レベルのDC段差が発生するという問題がある。

【0011】これは電圧 $\phi 1$ と $\phi 2$ を印加する電極形状の相違からゲート容量が異なっており、出力ゲートに隣接する最終段でのゲート容量の相違から奇数画素の出力レベルと奇数画素の出力レベルとのDCレベルに差が生じるためである。

【0012】そこで、固体撮像装置の信号出力に対して後段で黒画素の読み取りによる信号処理を行い、このDCレベルの差を補正するようにしている。しかし、出力

回路の入出力特性は図14(a)に示すようになっており、図14(b)に示す露光量-出力電圧特性で分かるように、露光量が少ない領域では奇数画素と偶数画素との出力電圧の相違は少ないものの、露光量が多い領域ではその差が顕著に現れることになる。

【0013】このような露光量によって奇数画素と偶数画素との出力電圧が相違するものを後段の信号処理で補正するには、一種のガンマ補正が必要となる。しかし、CCDの個体ばらつきがあるため、ガンマ補正を行うのは非常に困難である。

【0014】また、CCDレジスタが高速駆動されると出力回路の周波数特性のために次のような問題が発生する。すなわち、奇数画素の出力信号と偶数画素の出力信号とが交互に出力される際、先に示したDCレベル差によって、出力回路の周波数特性が悪化し、MTF(解像度)の低下を招くことになる。

【0015】

【課題を解決するための手段】本発明はこのような課題を解決するために成された固体撮像装置およびその駆動方法である。すなわち、本発明の固体撮像装置は、少なくとも1本の画素列から成る電荷取り込み手段と、この電荷取り込み手段に対して複数の電荷転送列を備えているとともにその各電荷転送列が電荷の転送方向に向けて同一の出力ゲートへ向かう導入部を備えている電荷転送手段と、電荷転送手段の導入部上における出力ゲートの手前に設けられ、電荷転送手段における複数の電荷転送列で各々転送してきた電荷に各々同相となる駆動電圧を与えて出力ゲートへ転送する最終段転送電極とを備えている。

【0016】このような固体撮像装置では、複数の電荷転送列で各々転送してきた電荷に最終段転送電極から印加される駆動電圧が各々同相となり、出力ゲートへ転送される際の各電荷に対応したDCレベルが一定となる。つまり、複数の電荷転送列で各々転送される電荷の出力信号におけるDCレベル差を無くすることができるようになる。

【0017】また、本発明の固体撮像装置の駆動方法は、少なくとも1本の画素列から成る電荷取り込み手段で電荷を取り込む工程と、電荷取り込み手段で取り込んだ電荷を複数の電荷転送列へ読み出し、電荷転送列単位でその電荷を転送して同一の出力ゲートを介して出力する工程とを備えている。

【0018】このような固体撮像装置の駆動方法では、電荷取り込み手段で取り込んだ電荷を複数の電荷転送列へ読み出し、その電荷転送列単位で出力ゲートに転送することから、出力信号も電荷転送列単位となる。つまり、一つの電荷転送列で転送した電荷の出力が連続する状態となり、画素毎の出力信号におけるDCレベルの変動を無くすることができるようになる。

【0019】

【発明の実施の形態】以下に、本発明の固体撮像装置およびその駆動方法における実施の形態を図に基づいて説明する。図1は第1実施形態の構成を説明する模式図である。すなわち、第1実施形態における固体撮像装置1は、複数の画素が一行に並ぶセンサー列2と、このセンサー列2の両側に配置されたCCDレジスタ3、4と、各CCDレジスタ3、4に対応した読み出しゲート31、41と、CCDレジスタ3とセンサー列2との間に配置されるラインメモリ5とを備えている。

10 【0020】また、CCDレジスタ3、4は電荷の転送方向において同一の出力ゲートOGに向かう導入部Lを備えている。さらに、この出力ゲートOGの後段にはフローティングディフュージョン部FD、リセットゲートRG、リセットドレインRDおよび出力バッファBが設けられている。

【0021】2つのCCDレジスタ3、4のうち、CCDレジスタ3はセンサー列2の奇数画素に対応する電荷を転送し、CCDレジスタ4は偶数画素に対応する電荷を転送する。本実施形態の固体撮像装置1では、CCDレジスタ3、4によって、奇数画素に対応した電荷と偶数画素に対応した電荷とを各CCDレジスタ3、4の列単位で転送する点に特徴がある。

【0022】また、このような列単位での電荷転送を行うことから、CCDレジスタ3、4の最終段における電極構成として各CCDレジスタ3、4に対して各々同相となる駆動電圧を印加して出力ゲートOGへの転送を行うことができるようになっている。

【0023】図2は最終段の構成を説明する模式図である。すなわち、各CCDレジスタ3、4の出力ゲートOGに隣接する最終段の電極としては、各CCDレジスタ3、4に駆動電圧 $\phi 1$ 、 $\phi 2$ を同相で印加できるものが設けられている。このような構成により、各CCDレジスタ3、4とも駆動電圧 $\phi 1$ 、 $\phi 2$ が同相で印加され、出力ゲートOGへの転送を行うことができるため、出力ゲートOGへの電荷転送におけるゲート容量を各CCDレジスタ3、4すなわち奇数画素および偶数画素で同じにすることができるようになる。

【0024】なお、このようにCCDレジスタ3、4の最終段で駆動電圧 $\phi 1$ 、 $\phi 2$ を各々同相で印加する電極構成とするためには、読み出しゲート31、41の部分で逆相となって印加される $\phi 1$ 、 $\phi 2$ の電極ピッチを例えば導入部Lで徐々に変更していき、最終段で同相となるようにすればよい。

【0025】次に、図3のタイミングチャートに基づいて第1実施形態の固体撮像装置における電荷の転送方法を説明する。なお、以下の説明でこの図に示されない符号は図1を参照するものとする。

【0026】まず、 ϕROG が読み出しゲート31、41に印加されることで、センサー列2の各画素における電荷が読み出されることになる。この際、奇数画素に対

応した電荷はCCDレジスタ3の手前に配置されたラインメモリ5まで読み出され、偶数画素に対応した電荷はCCDレジスタ4まで読み出される。

【0027】次に、駆動電圧 $\phi 1$ およびこれと逆相の $\phi 2$ （図示せず）を印加することで、CCDレジスタ4に読み出された偶数画素の電荷を順次転送し、出力ゲートOGからフローティングディフュージョン部FDを介して偶数画素の出力信号 V_{out} を得る（S2, S4, S6, …）。

【0028】そして、最終偶数画素の出力信号まで得られた後、 ϕV をラインメモリ5に印加する。これによって、ラインメモリ5に蓄積されていた奇数画素の電荷がCCDレジスタ3まで転送されることになる。

【0029】次に、駆動電圧 $\phi 1$ およびこれと逆相の $\phi 2$ （図示せず）を印加することで、CCDレジスタ3に読み出された奇数画素の電荷を順次転送し、出力ゲートOGからフローティングディフュージョン部FDを介して奇数画素の出力信号 V_{out} を得る（S1, S3, …）。

【0030】このように、偶数画素の電荷、奇数画素の電荷をCCDレジスタ3、4の列単位で転送することで、センサー列2の全ての画素の電荷に対応した出力信号を得る。また、このような転送とともに、先に説明したCCDレジスタ3、4の最終段の電極に駆動電圧 $\phi 1$ 、 $\phi 2$ が同相で印加されることで、偶数画素および奇数画素の全てにおいて $\phi 1$ もしくは $\phi 2$ のパルスに対応したタイミングで出力信号を得ることができる。つまり、偶数画素および奇数画素とも最終段におけるゲート容量を同じにできることから各々の出力信号のDCレベルを一定にすることが可能となる。

【0031】次に、第2実施形態の説明を行う。図4は第2実施形態における固体撮像装置の構成を説明する模式図である。すなわち、第2実施形態における固体撮像装置1は、複数の画素が直線状に並ぶセンサー列2と、このセンサー列2の両側に配置されたCCDレジスタ3、4と、各CCDレジスタ3、4に対応した読み出しゲート31、41とを備えている。

【0032】また、CCDレジスタ3、4は電荷の転送方向において同一の出力ゲートOGに向かう導入部Lを備えている。さらに、この出力ゲートOGの後段にはフローティングディフュージョン部FD、リセットゲートRG、リセットドレインRDおよび出力バッファBが設けられている。

【0033】2つのCCDレジスタ3、4のうち、CCDレジスタ3はセンサー列2の奇数画素に対応する電荷を転送し、CCDレジスタ4は偶数画素に対応する電荷を転送する。第2実施形態の固体撮像装置1では、第1実施形態と同様、CCDレジスタ3、4によって、奇数画素に対応した電荷と偶数画素に対応した電荷とを各CCDレジスタ3、4の列単位で転送する点で共通する

が、ラインメモリを持たずに電荷を一時蓄積しておく点で相違する。

【0034】また、第2実施形態の固体撮像装置1においても、第1実施形態と同様に列単位での電荷転送を行うことから、CCDレジスタ3、4の最終段における電極構成は図2に示すものと同じ構成となっている。すなわち、各CCDレジスタ3、4ともに最終段で駆動電圧 $\phi 1$ 、 $\phi 2$ が同相として印加され、出力ゲートOGへの転送を行うことができるようになっている。

【0035】次に、図5のタイミングチャートに基づいて第2実施形態の固体撮像装置における電荷の転送方法を説明する。なお、以下の説明でこの図に示されない符号は図4を参照するものとする。

【0036】まず、 $\phi ROG 2$ が読み出しゲート41に印加されることで、センサー列2の偶数画素における電荷がCCDレジスタ4へ読み出されることになる。次に、駆動電圧 $\phi 1$ およびこれと逆相の $\phi 2$ （図示せず）を印加することで、CCDレジスタ4に読み出された偶数画素の電荷を順次転送し、出力ゲートOGからフローティングディフュージョン部FDを介して偶数画素の出力信号 V_{out} を得る（S2, S4, S6, …）。

【0037】次いで、偶数画素の電荷の転送を行う間、センサー列2に蓄積されていた奇数画素の電荷を読み出すため、 $\phi ROG 1$ を読み出しゲート3.1に印加する。これにより、センサー列2の奇数画素の電荷がCCDレジスタ3へ読み出されることになる。

【0038】そして、駆動電圧 $\phi 1$ およびこれと逆相の $\phi 2$ （図示せず）を印加することで、CCDレジスタ3に読み出された奇数画素の電荷を順次転送し、出力ゲートOGからフローティングディフュージョン部FDを介して偶数画素の出力信号 V_{out} を得る（S1, S3 …）。

【0039】このように、偶数画素の電荷、奇数画素の電荷をCCDレジスタ3、4の列単位で転送するとともに、CCDレジスタ3、4の最終段の電極に駆動電圧 $\phi 1$ 、 $\phi 2$ が各々同相で印加されることで、偶数画素および奇数画素の全てにおいて $\phi 1$ もしくは $\phi 2$ のパルスに対応したタイミングで出力信号を得ることができるようになる。つまり、偶数画素および奇数画素とも最終段におけるゲート容量を同じにできることから出力信号のDCレベルを一定にすることが可能となる。また、第2実施形態では、ラインメモリを持たずに済むことから構成を簡素化できるようになる。

【0040】次に、第3実施形態の説明を行う。図6は第3実施形態における固体撮像装置の構成を説明する模式図である。第3実施形態における固体撮像装置1の構成は第2実施形態と同様であり、複数の画素が直線状に並ぶセンサー列2と、このセンサー列2の両側に配置されたCCDレジスタ3、4と、各CCDレジスタ3、4に対応した読み出しゲート31、41とを備えている。

【0041】また、CCDレジスタ3、4の電荷の転送方向において同一の出力ゲートOGに向かう導入部L、出力ゲートOGの後段には設けられるフローティングディフュージョン部FD、リセットゲートRG、リセットドレインRDおよび出力バッファBも第2実施形態と同様である。

【0042】第3実施形態の固体撮像装置1では、第2実施形態と同様、CCDレジスタ3、4によって、奇数画素に対応した電荷と偶数画素に対応した電荷とを各CCDレジスタ3、4の列単位で転送する点で共通するが、転送しない電荷をCCDレジスタに一時蓄積しておく点で相違する。

【0043】なお、第3実施形態の固体撮像装置1においても、第1実施形態および第2実施形態と同様に列単位での電荷転送を行うことから、CCDレジスタ3、4の最終段における電極構成は図2に示すものと同じ構成となっている。すなわち、各CCDレジスタ3、4ともに最終段で駆動電圧 $\phi 1$ 、 $\phi 2$ が同相で印加され、出力ゲートOGへの転送を行うことができるようになっている。

【0044】次に、図7のタイミングチャートに基づいて第3実施形態の固体撮像装置における電荷の転送方法を説明する。なお、以下の説明でこの図に示されない符号は図6を参照するものとする。

【0045】まず、 ϕROG が読み出しゲート31、41に印加されることで、センサー列2の各画素における電荷が読み出されることになる。すなわち、センサー列の奇数画素における電荷は読み出しゲート31を介してCCDレジスタ3に読み出され、偶数画素における電荷は読み出しゲート41を介してCCDレジスタ4に読み出される。

【0046】次に、 $\phi 1 Even$ およびこれと逆相の $\phi 2 Even$ （図示せず）をCCDレジスタ4に印加することで、CCDレジスタ4に読み出された偶数画素の電荷を順次転送し、出力ゲートOGからフローティングディフュージョン部FDを介して偶数画素の出力信号 V_{out} を得る（S2、S4、S6、…）。

【0047】なお、この偶数画素の電荷を転送する間、奇数画素の電荷はCCDレジスタ3で一時的に待機していることになる。

【0048】次いで、 $\phi 1 Odd$ およびこれと逆相の $\phi 2 Odd$ （図示せず）をCCDレジスタ3に印加することで、CCDレジスタ3に読み出されて一時的に待機していた奇数画素の電荷を順次転送し、出力ゲートOGからフローティングディフュージョン部FDを介して奇数画素の出力信号 V_{out} を得る（S1、S3、…）。

【0049】このように、偶数画素の電荷、奇数画素の電荷をCCDレジスタ3、4の列単位で転送するとともに、CCDレジスタ3、4の最終段の電極に駆動電圧 $\phi 1$ 、 $\phi 2$ が各々同相で印加されることで、偶数画素およ

び奇数画素の全てにおいて $\phi 1$ もしくは $\phi 2$ のパルスに対応したタイミングで出力信号を得ることができるようになる。つまり、偶数画素および奇数画素とも最終段におけるゲート容量を同じにできることから出力信号のDCレベルを一定にすることが可能となる。また、第3実施形態では、第2実施形態と同様、ラインメモリを持たずに済むことから構成を簡素化できるようになる。

【0050】次に、第4実施形態の説明を行う。図8は第4実施形態における固体撮像装置の構成を説明する模式図である。第4実施形態における固体撮像装置1は、センサー列2、CCDレジスタ3、4、読み出しゲート31、41、ラインメモリ5および導入部Lを備えている点で第1実施形態と同様であるが、導入部Lにおける出力ゲートOGの手前に設けられた最終段の電極が、従来と同様にCCDレジスタ3、4で各々逆相の駆動電圧が印加される構成となっている（図12参照）。

【0051】すなわち、第4実施形態では、CCDレジスタ3、4の最終段の電極が従来と同様な構成であるものの、CCDレジスタ3、4に転送された奇数画素の電荷および偶数画素の電荷をCCDレジスタ3、4の列単位で転送する点に特徴がある。

【0052】次に、図9のタイミングチャートに基づいて第3実施形態の固体撮像装置における電荷の転送方法を説明する。なお、以下の説明でこの図に示されない符号は図8を参照するものとする。

【0053】まず、 ϕROG が読み出しゲート31、41に印加されることで、センサー列2の各画素における電荷が読み出されることになる。この際、奇数画素に対応した電荷はCCDレジスタ3の手前に配置されたラインメモリ5まで読み出され、偶数画素に対応した電荷はCCDレジスタ4まで読み出される。

【0054】次に、駆動電圧 $\phi 1$ およびこれと逆相の $\phi 2$ （図示せず）を印加することで、CCDレジスタ4に読み出された偶数画素の電荷を順次転送し、出力ゲートOGからフローティングディフュージョン部FDを介して偶数画素の出力信号 V_{out} を得る（S2、S4、S6、…）。

【0055】そして、最終偶数画素の出力信号まで得られた後、 ϕV をラインメモリ5に印加する。これによって、ラインメモリ5に蓄積されていた奇数画素の電荷がCCDレジスタ3まで転送されることになる。

【0056】次に、駆動電圧 $\phi 1$ およびこれと逆相の $\phi 2$ （図示せず）を印加することで、CCDレジスタ3に読み出された奇数画素の電荷を順次転送し、出力ゲートOGからフローティングディフュージョン部FDを介して奇数画素の出力信号 V_{out} を得る（S1、S3、…）。

【0057】このように、偶数画素の電荷、奇数画素の電荷をCCDレジスタ3、4の列単位で転送するとともに、センサー列2の全ての画素の電荷に対応した出力信

号を得る。

【0058】また、第4実施形態においては、CCDレジスタ3、4の最終段の電極に駆動電圧 $\phi 1$ 、 $\phi 2$ が逆相で印加されることになるが、CCDレジスタ3、4の列単位で奇数画素および偶数画素を転送することから、1画素毎にゲート容量の異なる電極を介して電荷が転送されることはなく、このゲート容量の差によるDCレベルの変動も1画素毎に繰り返されることもない。つまり、奇数画素および偶数画素でDCレベルの差はあるものの、1画素毎にこのDCレベルの差が繰り返されることはな

いため、出力回路の周波数特性を悪化させずに済むようになる。

【0059】なお、上記説明したいずれの実施形態も、偶数画素の電荷を転送した後、奇数画素の電荷を転送する例を説明したが、反対に奇数画素の電荷を転送した後、偶数画素の電荷を転送するようにしても同様である。

【0060】また、上記の各実施形態では、1本のセンサー列2における奇数画素の電荷をCCDレジスタ3で転送し、偶数画素の電荷をCCDレジスタ4で転送する例を示したが、本発明はこれ以外にも例えば2本以上のセンサー列を持ち、複数のCCDレジスタで電荷を転送するものであっても適用可能である。

【0061】以下に、2本のセンサー列を備え、2本のCCDレジスタで2本のセンサー列の各々の電荷を転送する固体撮像装置の例を第5実施形態として説明する。

【0062】すなわち、図10の模式図に示すように、第5実施形態における固体撮像装置1は、B（青）とR（赤）に対応した複数の画素が交互に一列で並ぶセンサー列21と、G（緑）に対応した複数の画素が一列に並ぶセンサー列22と、センサー列21の各画素における電荷を転送するCCDレジスタ3と、センサー列22の各画素における電荷を転送するCCDレジスタ4とを備えた構成となっている。

【0063】また、CCDレジスタ3に対応した読み出しゲート31およびCCDレジスタ4に対応した読み出しゲート41と、CCDレジスタ3とセンサー列21との間に配置されるラインメモリ5とを備えている。

【0064】なお、第5実施形態の固体撮像装置1においても、第1実施形態と同様に列単位での電荷転送を行うことから、CCDレジスタ3、4の最終段における電極構成は図2に示すものと同じ構成となっている。すなわち、各CCDレジスタ3、4ともに最終段で駆動電圧 $\phi 1$ 、 $\phi 2$ が同相で印加され、出力ゲートOGへの転送を行うことができるようになっている。

【0065】CCDレジスタ3、4から電荷転送方向後段の構成は第1実施形態と同様であり、導入部L、出力ゲートOG、フローティングディフュージョン部FD、リセットゲートRG、リセットドレインRD、出力パッファBが設けられている。

【0066】電荷の転送タイミングは第1実施形態と同様であるが、CCDレジスタ3ではセンサー列21におけるB、Rの各画素の電荷を転送し、CCDレジスタ4ではセンサー列22におけるGの各画素の電荷を転送することになる。

【0067】すなわち、図3に示すタイミングチャートの ϕROG が読み出しゲート31、41に印加されることで、センサー列21、22の各画素における電荷が読み出されることになる。この際、センサー列21のB、Rの各画素に対応した電荷はCCDレジスタ3の手前に、配置されたラインメモリ5まで読み出され、センサー列22のGの各画素に対応した電荷はCCDレジスタ4まで読み出される。

【0068】次に、駆動電圧 $\phi 1$ およびこれと逆相の $\phi 2$ （図示せず）を印加することで、CCDレジスタ4に読み出されたGの各画素に対応した電荷を順次転送し、出力ゲートOGからフローティングディフュージョン部FDを介してGの画素の出力信号 V_{out} を得る。

【0069】そして、最終G画素の出力信号まで得られた後、 ϕV をラインメモリ5に印加する。これによって、ラインメモリ5に蓄積されていたB、Rの各画素の電荷がCCDレジスタ3まで転送されることになる。

【0070】次に、駆動電圧 $\phi 1$ およびこれと逆相の $\phi 2$ （図示せず）を印加することで、CCDレジスタ3に読み出されたB、Rの各画素の電荷を順次転送し、出力ゲートOGからフローティングディフュージョン部FDを介してB、Rの画素の出力信号 V_{out} を得る。

【0071】このように、センサー列が複数ある場合でも、各々CCDレジスタの列単位で電荷転送を行うとともに、CCDレジスタ3、4の最終段の電極に駆動電圧 $\phi 1$ 、 $\phi 2$ が同相で印加されることで、G、B、Rの各画素において $\phi 1$ もしくは $\phi 2$ のパルスに対応したタイミングで出力信号を得ることができるようになる。つまり、CCDレジスタ3、4の最終段におけるゲート容量を同じにできることからG、B、R各画素の出力信号のDCレベルを一定にすることが可能となる。

【0072】

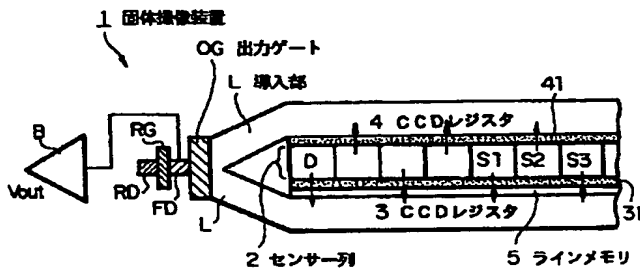
【発明の効果】以上説明したように、本発明の固体撮像装置およびその駆動方法によれば次のような効果がある。すなわち、本発明によれば、複数の電荷転送列で各々転送してきた電荷を最終段転送電極に印加される同相の駆動電圧によって出力ゲートへ転送できるため、出力信号におけるDCレベル差を無くすることが可能となる。これによって、出力回路での信号補正が不要となり、回路構成を簡素化できるようになる。

【0073】また、電荷転送列単位で電荷を転送することによって、1画素毎のDCレベル変化が無くなり、高速駆動を行った場合でもMTF（解像度）の低下を抑制することが可能となる。

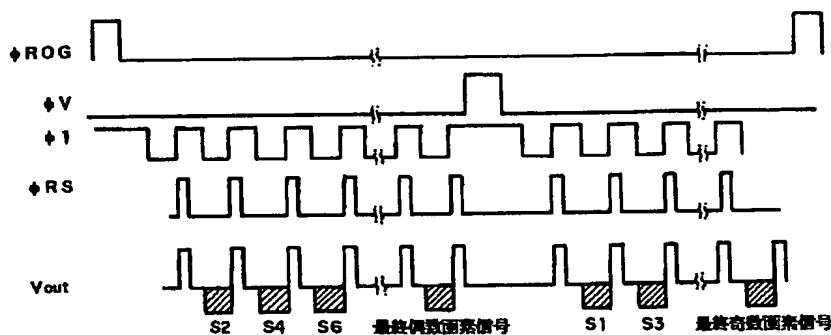
【図面の簡単な説明】

- 【図 1】第 1 実施形態の構成を説明する模式図である。
 【図 2】最終段の構成を説明する模式図である。
 【図 3】第 1 実施形態の固体撮像装置におけるタイミングチャートである。
 【図 4】第 2 実施形態の構成を説明する模式図である。
 【図 5】第 2 実施形態の固体撮像装置におけるタイミングチャートである。
 【図 6】第 3 実施形態の構成を説明する模式図である。
 【図 7】第 3 実施形態の固体撮像装置におけるタイミングチャートである。
 【図 8】第 4 実施形態の構成を説明する模式図である。
 【図 9】第 4 実施形態の固体撮像装置におけるタイミングチャートである。

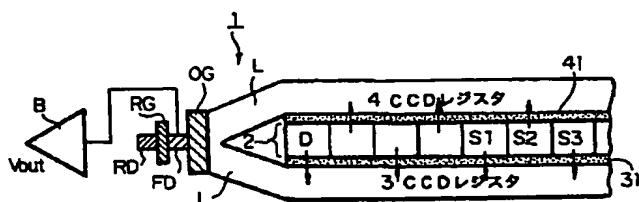
【図 1】



【図 3】



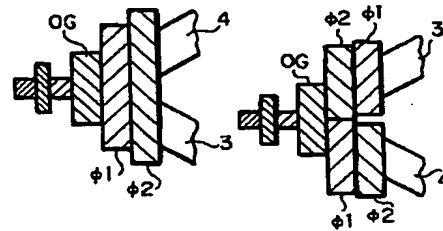
【図 4】



- 【図 10】第 5 実施形態の構成を説明する模式図である。
 【図 11】従来の固体撮像装置の構成を説明する模式図である。
 【図 12】従来の固体撮像装置における最終段の構成を説明する模式図である。
 【図 13】従来の CCD 出力波形図である。
 【図 14】固体撮像装置の特性図である。
 【符号の説明】

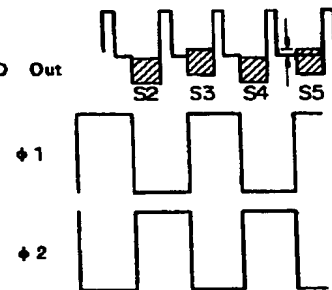
- 10 1…固体撮像装置、2…センサー列、3…CCDレジスタ、4…CCDレジスタ、5…ラインメモリ、L…導入部

【図 2】

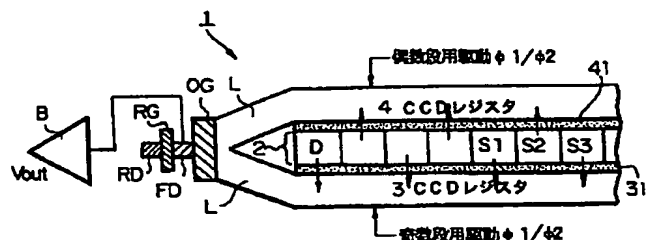


【図 12】

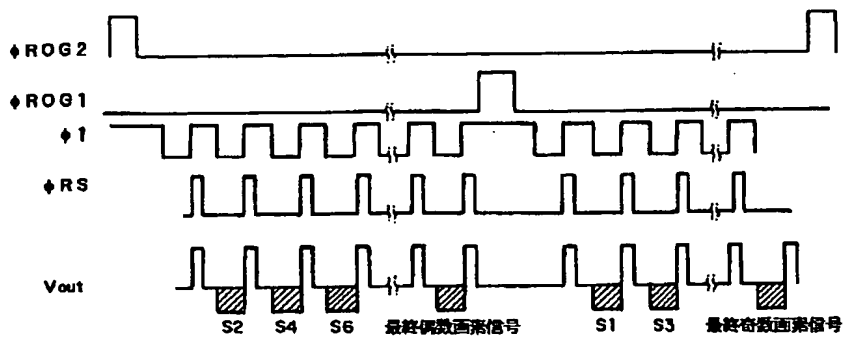
【図 13】



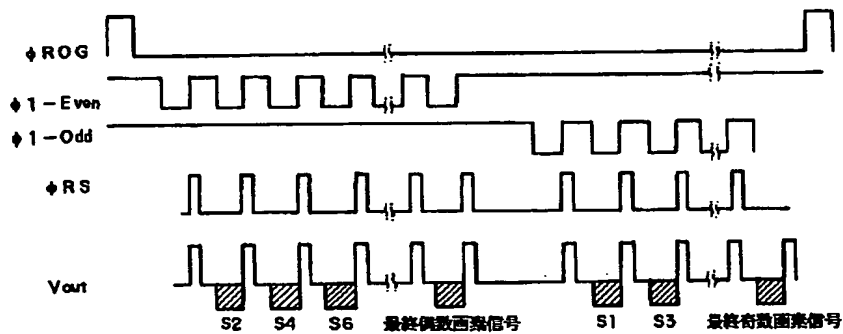
【図 6】



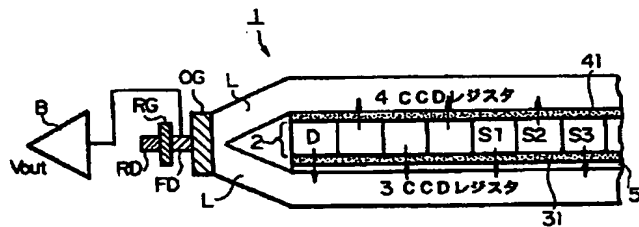
【図5】



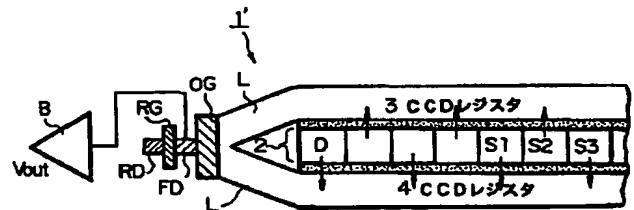
【図7】



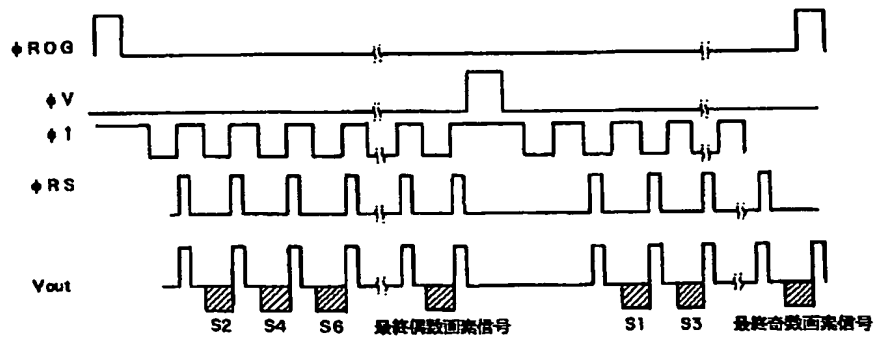
【図8】



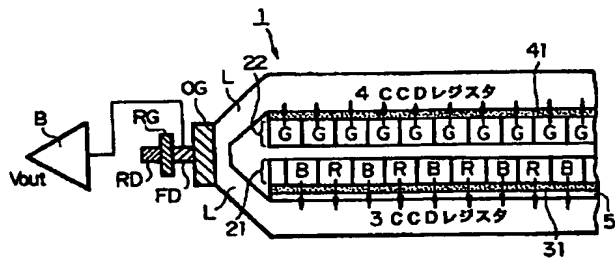
【図11】



【図9】



【図10】



【図14】

